



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03004623 A**(43) Date of publication of application: **10.01.91**

(51) Int. Cl. **H03M 13/00**
H03K 5/19
H04L 1/00

(21) Application number: **01139889**(22) Date of filing: **31.05.89**(71) Applicant: **NEC CORP KOUFU NIPPON
DENKI KK**(72) Inventor: **OKUYA TOKUNORI
TACHIBANA YOSHIMI**(54) **SERIAL DATA TRANSMISSION SYSTEM**

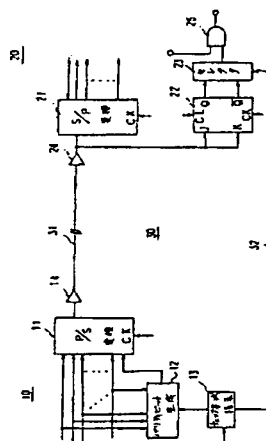
(57) Abstract:

PURPOSE: To detect production of a transmission error due to degeneration to '1' or '0' in a serial transmission line easily caused by the revision of the check system by providing a means commanding the revision of the parity check as to whether an odd number check system or an even number check system is selected.

CONSTITUTION: A transmission section 10 generates both parity bits of odd and even number check systems from a parallel data being an object of transmission by a parity bit generating circuit 12 and selects one of them depending on the content of a storage register 13 of the check system indication bit and outputs in to a parallel/serial conversion circuit 11. The circuit 11 converts it into a serial data and adds a parity bit fed from the circuit 12 to the end of the serial data and sends the resulting data onto a serial transmission line 31 via a transmission buffer 14. A reception section 20 uses a selector 23 to select one of noninverting output Q and an inverting output, the inverse of Q of a JK flip-flop 22 according to the check system indication bit sent from a storage register 13 via the serial transmission line 31 and outputs the result thereby

outputting the parity bit in matching with the odd and even number check systems.

COPYRIGHT: (C)1991,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-4623

⑬ Int. Cl.³

H 03 M 13/00
H 03 K 5/19
H 04 L 1/00

識別記号

庁内整理番号

P
A

6832-5 J
6959-5 J
8732-5 K

⑭ 公開 平成3年(1991)1月10日

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 直列データ伝送システム

⑯ 特 願 平1-139889

⑰ 出 願 平1(1989)5月31日

⑱ 発 明 者 奥 谷 徳 典 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 立 花 祥 臣 山梨県甲府市丸の内1丁目17-14(甲府センタービル) 甲
府日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
㉑ 出 願 人 甲府日本電気株式会社 山梨県甲府市大津町1088-3
㉒ 代 理 人 弁理士 櫻 井 俊 彦

明 細 書

1. 発明の名称

直列データ伝送システム

2. 特許請求の範囲

(1) 直列データ伝送路と、

伝送対象の直列データの所定ビット数ごとに
パリティビットを付加しつつこの直列伝送路に
送出する送信部と、

この直列伝送路から受信した直列データに対
しパリティチェックを行うパリティチェック回
路を含む受信部と、

前記パリティビットを奇数チェック方式と偶
数チェック方式のいずれに従って付加し、また
チェックするかを前記送信部と受信部の双方に
変更可能に指示するチェック方式指示手段とを
備えたことを特徴とする直列データ伝送システ
ム。

(2) 前記チェック方式指示手段は、前記チェック
方式を所定周期で又は無作為的に変更すること

を特徴とする特許請求の範囲第1項記載の直列
データ伝送方式。

(3) 前記受信部のパリティチェック回路は、前記
直列伝送路から受信した直列データをJK入力
端子に受けて状態を変化させつつ前記パリティ
ビット受信直後の状態をパリティチェック結果
として出力するJKフリップ・フロップ回路を
備えたことを特徴とする特許請求の範囲第1項
又は第2項記載の直列データ伝送システム。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、回路間、装置間あるいは送信端末装
置と受信端末装置間に形成される直列データ伝送
システムに関するものである。

(従来の技術)

従来、直列伝送路を介してデータ伝送を行う直
列データ伝送システムは、既設の電話線などを伝
送路とするデータ通信システムなどに適用されて
きている。最近では、並列伝送システムの信号線
の輻輳を回避する目的から、室内の装置間あるい

は装置内の回路間のデータ転送についても直列データ伝送システムが採用されるようになっている。

一般に、データ伝送システムでは、伝送路上の雑音などによって発生する符号誤りに対処した誤り制御方式が必要になる。この誤り制御方式として、最も簡易なパリティチェック方式が採用されることが多い。

従来、このような直列データ伝送システムにおけるパリティチェック方式は、所定ビット数の直列データを受信するための受信レジスタを設置し、このレジスタに受信された並列データに対してパリティチェックを行う方法や、直列伝送路をJKフリップフロップのJK入力に接続し、データ“1”が入力されるたびにJKフリップフロップの状態値が反転することを利用してパリティビット受信直後の状態値から符号誤りの有無を判定する方法などがある。

(発明が解決しようとする課題)

上述した従来の直列データ伝送システムで採用されるパリティチェック方式では、直列伝送路に

発生することのある“1”や“0”への縮退故障を検出できない場合がある。

すなわち、奇数ビットのデータに奇数チェック方式のパリティビットを付加する伝送システムでは、直列伝送路に“1”縮退障害が発生すると偶数個の“1”が受信されるため、伝送誤りの検出が可能である。これに対して、偶数ビットのデータに奇数チェック方式のパリティビットを付加する直列伝送システムでは、直列伝送路に“1”縮退障害が発生すると奇数個の“1”が受信されるため、誤りの検出が不能になる。

このように、従来のパリティチェック方式では、データのビット数が奇数か偶数か、奇数チェック方式か偶数チェック方式か、あるいは“1”縮退か“0”縮退かなどの組合せによっては、縮退故障に伴う伝送誤りを検出できない場合が生じるという問題がある。

(課題を解決するための手段)

本発明に係わる直列データ伝送システムは、伝送対象の直列データの所定ビット数ごとにパリテ

ィットを付加しつつ直列伝送路に送出する送信部と、この直列伝送路から受信した直列データに対しパリティチェックを行うパリティチェック回路を含む受信部と、パリティビットを奇数チェック方式と偶数チェック方式のいずれに従って付加し、またチェックするかを送信部と受信部の双方に変更可能に指示する手段を備え、直列伝送路の“1”や“0”への縮退障害を容易に検出できるように構成されている。

本発明の一実施例によれば、上記チェック方式指示手段は、上記チェック方式を所定周期で又は無作為的に変更する機能を備え、運用中に生じる直列伝送路の縮退障害を迅速に検出できるように構成されている。

本発明の他の実施例によれば、上記パリティチェック回路は、直列伝送路から受信した直列データをJK入力端子に受けて状態を変化させつつパリティビット受信直後の状態をパリティチェック結果として出力するJKフリップ・フロップを備え、簡易・安価な回路構成のもとパリティチェッ

クを実現するように構成されている。

以下、本発明の作用を実施例と共に詳細に説明する。

(実施例)

第1図は、本発明の一実施例に係わる直列データ伝送システムの構成を示すブロック図であり、10は送信部、20は受信部、30は直列伝送路である。

送信部10は、並列/直列変換回路11、パリティビット生成回路12、チェック方式指示ビットの保持レジスタ13及び送信バッファ14を備えている。受信部20は、直列/並列変換回路21、JKフリップ・フロップ22、セレクト23、受信バッファ24及びアンドゲート25を備えている。また、直列伝送路30は、直列データの伝送路31及びモード指示ビットの伝送路32を備えている。

送信部10では、伝送対象の所定ビット数の並列データが並列/直列変換回路11とパリティビット生成回路12に供給される。パリティビット

生成回路12は、伝送対象の並列データから奇数チェック方式と偶数チェック方式の双方のバリティビットとを生成し、これらの一方をチェック方式指示ビットの保持レジスタ13の内容によって指示されているチェック方式に従って選択して並列/直列変換回路11に出力する。並列/直列変換回路11は、伝送対象の並列データをクロック信号CKに同期して直列データに変換し、これらの直列データの末尾にバリティビット生成回路12から供給されるバリティビットを付加して出力する。これらの直列データは送信バッファ14を介して直列伝送路31上に送出される。

一方、受信部20では、伝送路31上を転送されてきた直列データが受信バッファ24を介して直列/並列変換回路21に供給されると共に、JKフリップ・フロップ22のJ入力端子とK入力端子に供給される。JKフリップフロップ22は、データ"1"を受信すると状態値を反転し、データ"0"を受信すると状態値を従前の値に保つ。JKフリップフロップの初期値を $Q = "0"$ 、 \bar{Q}

$= "1"$ とすれば、受信データとして"1"を奇数個受けると $Q = "1"$ 、 $\bar{Q} = "0"$ と初期値に対する反転状態となり、受信データ"1"を偶数回受けると初期値と同一状態の $Q = "0"$ 、 $\bar{Q} = "1"$ となる。従って、このJKフリップフロップ22は排他的論理和回路と同様にバリティチェック回路として機能する。

セレクト23は、チェック方式指示ビットの保持レジスタ13から直列伝送路32を介して送出されてくるチェック方式指示ビットに従って、前段のJKフリップ・フロップ22の非反転出力Qと反転出力 \bar{Q} の一方を選択して出力することにより、奇数チェック方式と偶数チェック方式のそれぞれに適合するバリティビットを出力する。セレクト23の出力は、2入力アンドゲート25の一方の入力端子に供給される。この2入力アンドゲート25の他方の入力端子には、直列データの末尾に付加されているバリティビットの受信の直後にだけハイに立上るチェックタイミング信号が入力端子26から供給されている。この結果、アン

ドゲート25からは、バリティビット受信直後のJKフリップ・フロップ22の状態、すなわちバリティチェック結果が出力され、出力端子27を経て図示しない誤り処理回路に供給される。

第2図に示すように、JKフリップフロップ22の初期値が、直列データの受信開始前のクリア信号によって $Q = "0"$ 、 $\bar{Q} = "1"$ になるものとする。また、転送データが4ビットで、奇数チェック方式が採用されているものとする。第2図は、オール"1"の4個のデータビットとバリティビット"1"が送信部10から送出され、これが伝送誤りを受けないで受信された場合を例示している。前述のとおり、JKフリップフロップ22は"1"を受信すると状態値が反転するため、4個のデータビットと1個のバリティビットの合計5個の"1"の受信後には、時間T₁で示すように $Q = "1"$ 、 $\bar{Q} = "0"$ となる。セレクト23はチェック方式指示信号に従い、JKフリップ・フロップ22の反転出力 \bar{Q} を選択して出力する。これに伴い、チェックタイミングに同期して2入

力アンドゲート25から出力されるチェック結果は"0"となり、伝送誤りが発生していないことが示される。

しかしながら、上記条件のもとでは直列伝送路31に"1"への縮退故障が発生した場合にも、第2図に示したタイムチャートと同一の結果となり、伝送誤りの検出が不能となる。

一方、図示しない上位装置からの書込みによって保持レジスタ13内のチェック方式指示ビットを反転させることにより、バリティ方式を偶数バリティ方式に変更されたものとする。これに伴い、受信部20ではセレクト23によってJKフリップフロップの非反転出力Qが選択される。この偶数チェック方式のもとで、オール"1"の4個のデータビットと"0"のバリティビットとが送信部10から送出された場合において伝送路誤りが発生しなければ、JKフリップ・フロップ22の非反転出力Qは、第2図の点線で示すように時間T₁では"0"となり、伝送誤りは検出されない。しかしながら、直列伝送路31に"1"への縮退

故障が発生した場合、JKフリップ・フロップ22の非反転出力Qは“1”となり伝送誤りが検出される。

従って、この直列データ伝送システムを試験する際に、モード指示ビットを反転させることによりデータ伝送路の“1”への縮退故障がいずれか一方のモードで検出可能となる。“0”への縮退故障についても同様である。

このパリティ方式のモードの反転を運用中に所定期間であるいは乱数の生成などによって無作為的な期間ごとに行う構成とすれば、運用中の縮退故障に伴う伝送誤りが迅速に検出できる。

以上、チェック方式指示ビットを受信部から送信部に直列伝送路を介して送出する構成を例示した。しかしながら、装置内の回路間の直列データ伝送システムなどでは、上位装置から受信部と送出部のそれぞれにチェック方式指示ビットを直接送出する構成とすることができる。また、電話線などを利用する直列データ伝送システムなどでは、データの直列伝送路を介してこのチェック方式指示ビットを送信装置から受信装置に転送する構成

としてもよい。

(発明の効果)

以上詳細に説明したように、本発明の直列データ伝送システムは、パリティチェックに関して奇数チェック方式とするか偶数チェック方式とするかを変更可能に指示する手段を備える構成であるから、チェック方式の変更により直列伝送路の“1”や“0”への縮退に伴う伝送誤りの発生を容易に検出できるという効果がある。

特に、上記チェック方式の変更を運用中に周期的あるいは無作為的に行うことにより、直列伝送路の“1”や“0”への縮退に伴う伝送誤りを迅速に検出できるという効果が奏される。

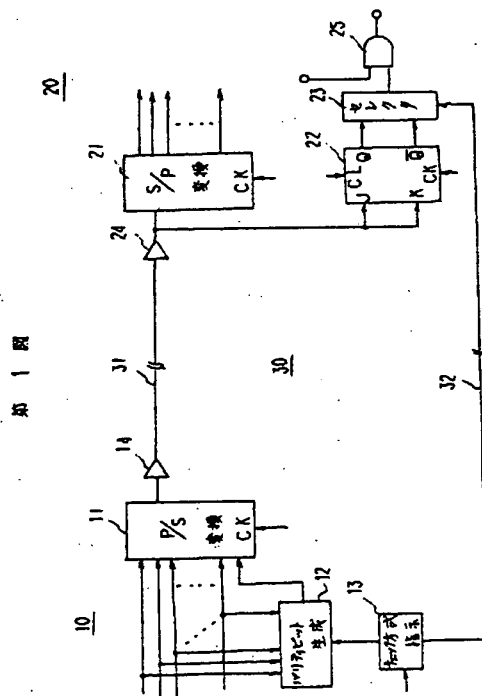
また、JKフリップフロップを利用してパリティチェックを行う構成とすれば、回路構成が簡易・安価になるという利点がある。

4. 図面の簡単な説明

第1図は本発明の一実施例の直列データ伝送システムの構成を示すブロック図、第2図は第1図の動作を説明するためのタイムチャートである。

10・・・送信部、11・・・並列/直列変換回路、12・・・パリティビット生成回路、13・・・チェック方式指示ビットの保持レジスタ、14・・・送信バッファ、20・・・受信部、21・・・直列/並列変換回路、22・・・JKフリップ・フロップ、23・・・セレクト、26・・・チェックタイミング信号入力端子、27・・・パリティチェック結果の出力端子。

特許出願人 日本電気株式会社 (外1名)
代理人 弁理士 横井俊彦



第 2 図

